САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

**Отчёт по лабораторной работе №**

Дисциплина:

выполнил студент:.

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

группа:

преподаватель:.

Санкт-Петербург

2021

**Оглавление**

[**1** **Задание lab9\_1 – Задание для самостоятельного выполнения** 4](#_Toc97219680)

[1.1 Задание 4](#_Toc97219681)

[1.2 Описание на языке Verilog 5](#_Toc97219682)

[1.3 Результаты синтеза (RTL) 6](#_Toc97219683)

[1.4 Тестирование ModelSim 7](#_Toc97219684)

[1.5 Тестирование SignalTap 8](#_Toc97219685)

[**2** **Вывод** 10](#_Toc97219686)

**Список иллюстраций**

[Рис. 1 - Описание блока SRC. 5](#_Toc97219697)

[Рис. 2 - Описание блока SS. 5](#_Toc97219698)

[Рис. 3 - Описание верхнеуровнего модуля. 6](#_Toc97219699)

[Рис. 4 - Синтезированная схема модуля SRC. 6](#_Toc97219700)

[Рис. 5 - Синтезированная схема блока SS. 7](#_Toc97219701)

[Рис. 6 - Синтезированная схема верхнеуровнего модуля. 7](#_Toc97219702)

[Рис. 7 - Модуль тестирования верхнеуровнего модуля. 8](#_Toc97219703)

[Рис. 8 - Диаграмма тестирования схемы. 8](#_Toc97219704)

[Рис. 9 - Модуль счетчика делителя частоты. 9](#_Toc97219705)

[Рис. 10 - Модуль декодирования семи сегментного кода. 9](#_Toc97219706)

[Рис. 11 - Стенд для тестирования на плате инструментом SignalTap. 9](#_Toc97219707)

[Рис. 12 - Синтезированный модуль отладки при помощи ISSP. 10](#_Toc97219708)

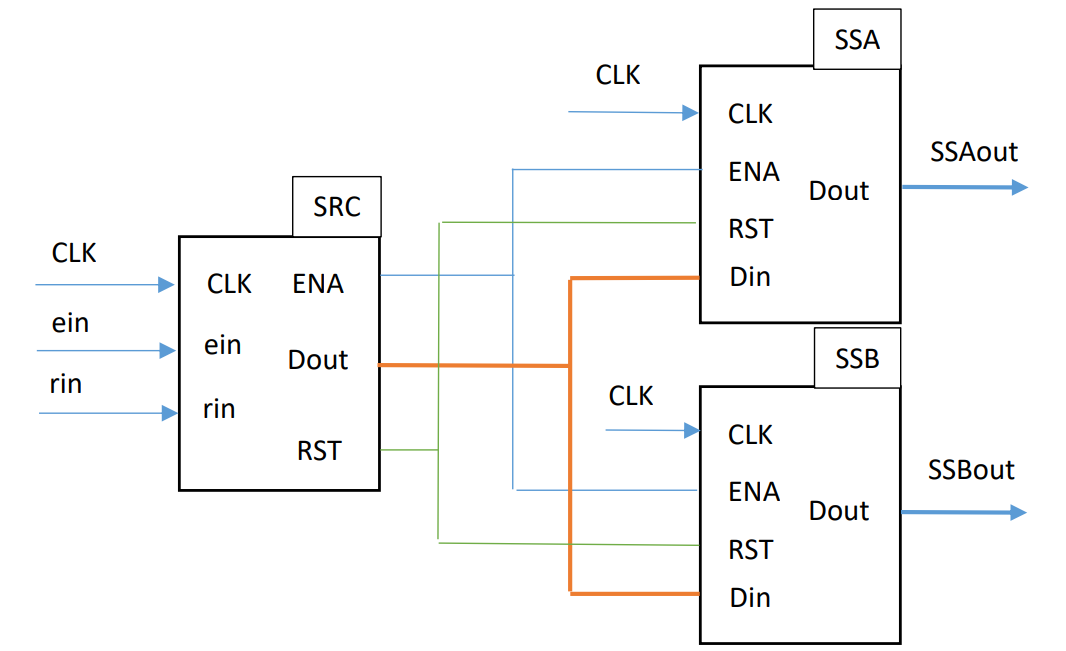
[Рис. 13 – Смоделированная на плате диаграмма 1. 10](#_Toc97219709)

[Рис. 14 - Смоделированная на плате диаграмма 2. 10](#_Toc97219710)

# **Задание lab9\_1 – Задание для самостоятельного выполнения**

## Задание

* Разработать описание устройства – модуль Lab9\_1, с использованием расширений SystemVerilog
  + На верхнем уровне описание должно быть структурным. обязательно использование interface и modport
* Разработать тест tb\_Lab9\_1 для проверки устройства Lab9\_1 с использованием расширений SystemVerilog (тест первого класса – без автоматической проверки).
  + При описании теста обязательно использование interface и modport
* По результатам моделирования в ModelSim необходимо доказать работоспособность устройства
  + данные для 7-сегментных индикаторов должны отображаться в тесте в виде символов 0,1,2,….A, B, …F.
* Разработать модуль верхнего уровня для отладки db\_Lab9\_1, содержащий:
  + модуль Lab9\_1;
  + модуль SP\_unit (модуль, обеспечивающий возможность: задания входных управляющих сигналов без использования кнопок на плате; отображения выходных сигналов).
  + описание должно быть структурным. обязательно использование interface и modport
  + Модуль должен обеспечивать подключение к тактовому сигналу на плате.
* Настроить логический анализатор для проведения исследования и отладки реализуемого на плате db\_Lab9\_1
  + данные для 7-сегментных индикаторов должны отображаться в виде символов 0,1,2,….A, B, …F.
* Провести анализ работы db\_Lab9\_1 и доказать (зафиксировав результаты снимками экрана), что:
  + Модуль управляется входными сигналами
  + Правильно реализуется алгоритм работы



## Описание на языке Verilog

Создадим нужную нам структуру модулей из Ip библиотеки и самописных модулей:

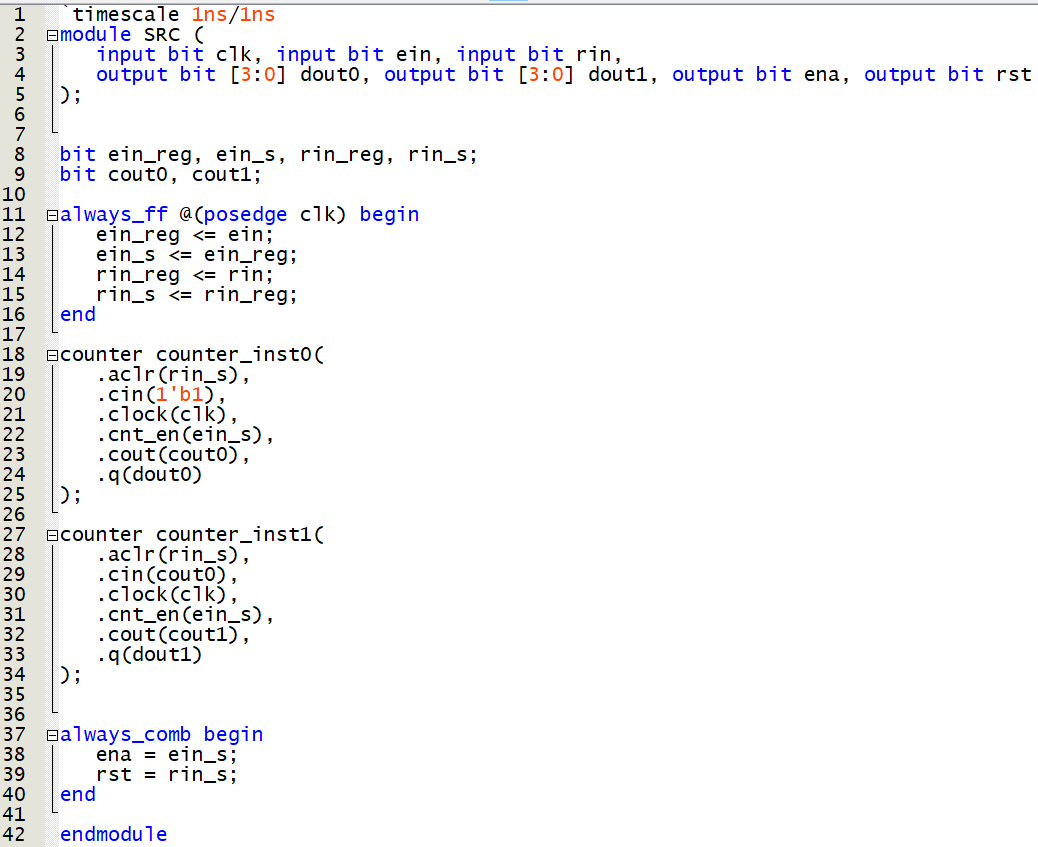


Рис. 1 - Описание блока SRC.

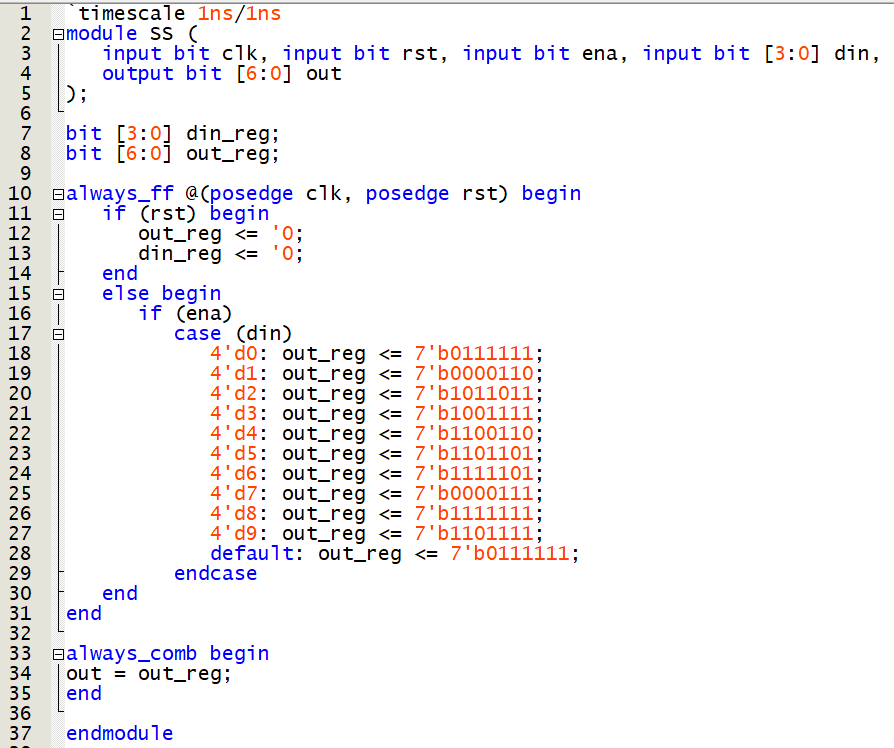


Рис. 2 - Описание блока SS.

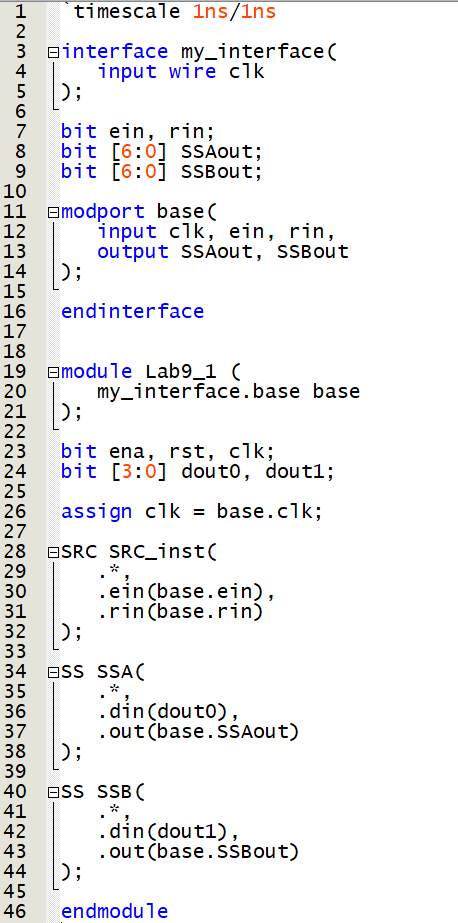


Рис. 3 - Описание верхнеуровнего модуля.

## Результаты синтеза (RTL)

Скомпилируем модули и посмотрим результаты синтеза.

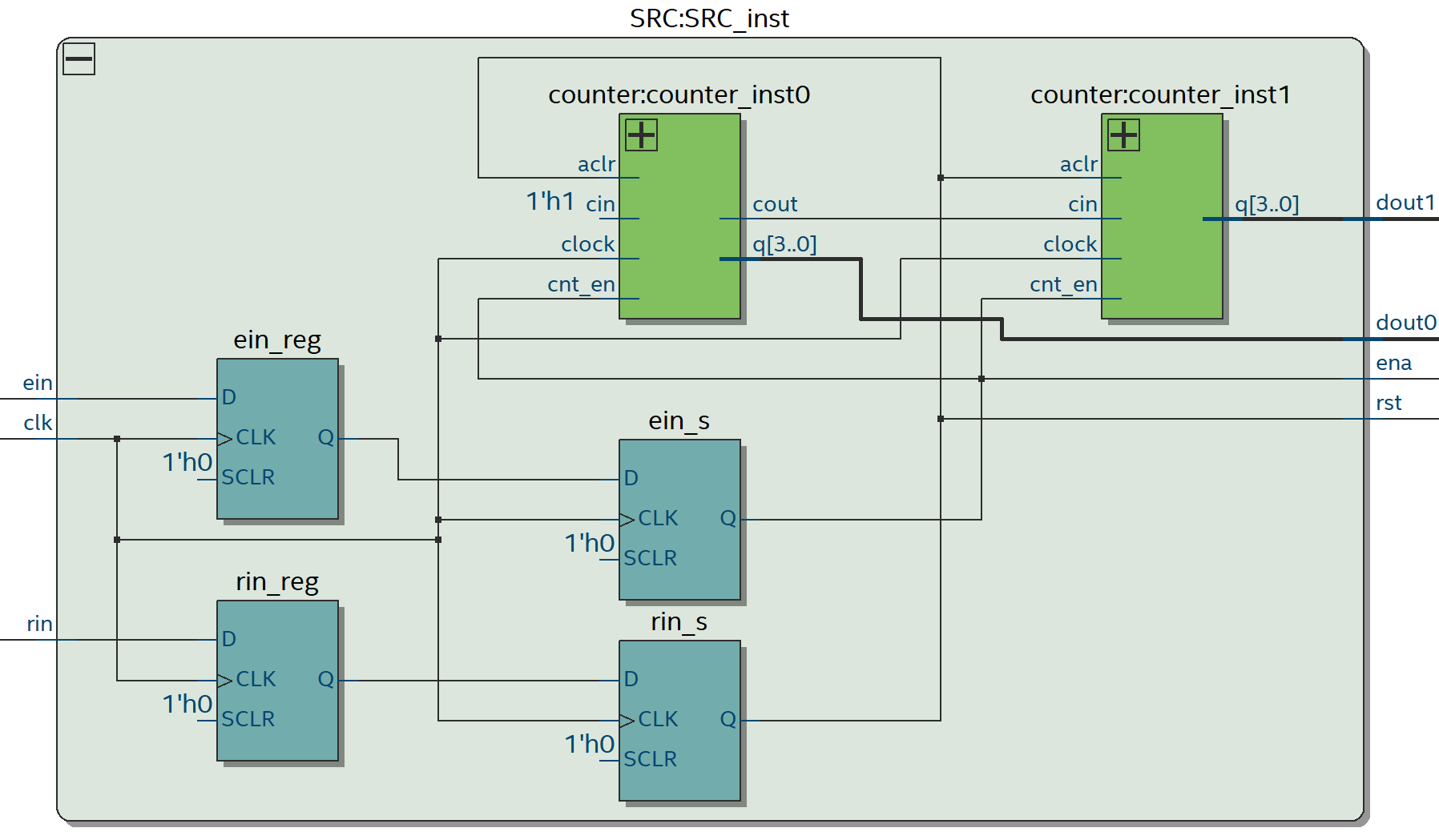
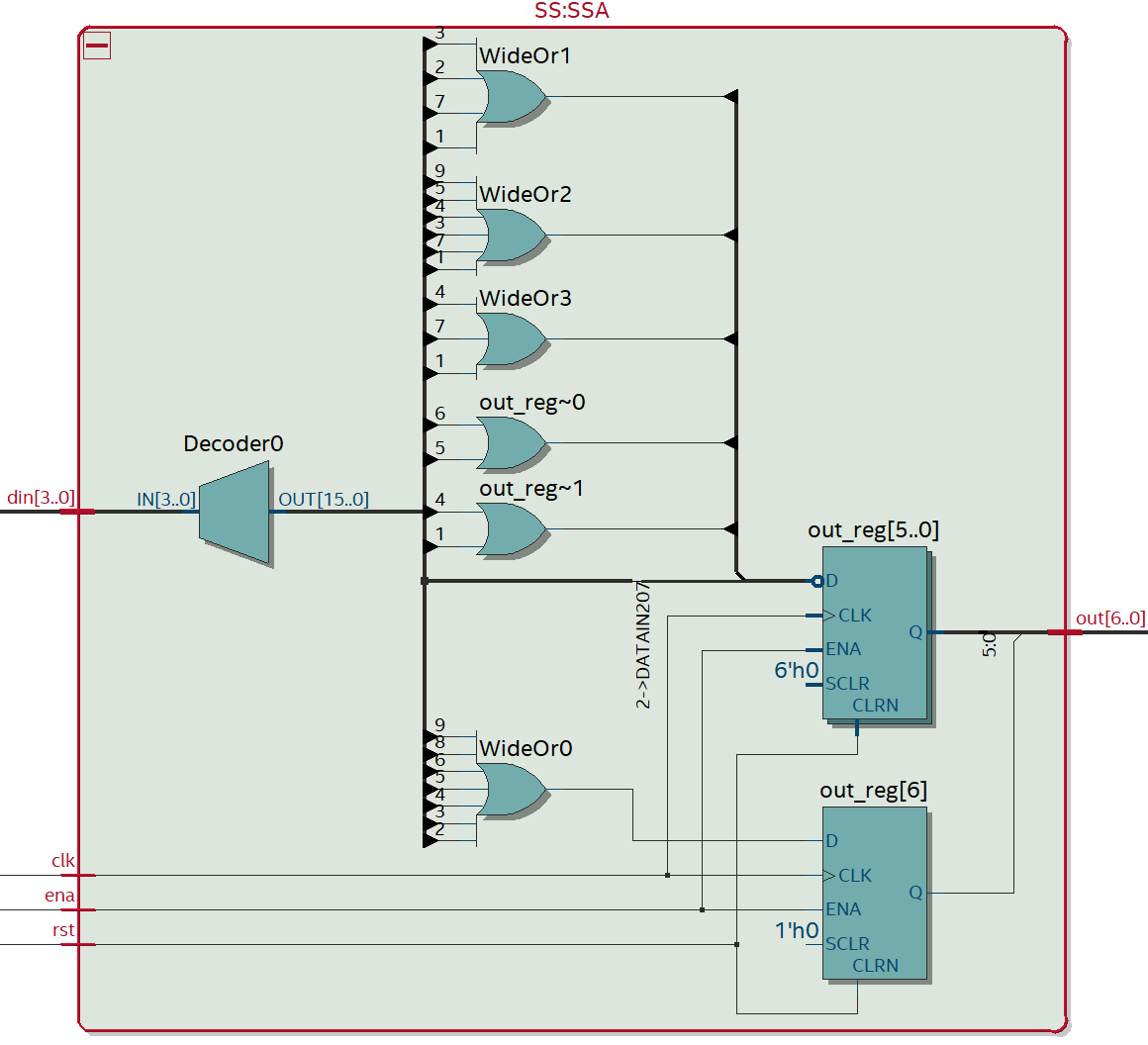


Рис. 4 - Синтезированная схема модуля SRC.



*Рис. 5 - Синтезированная схема блока SS*.

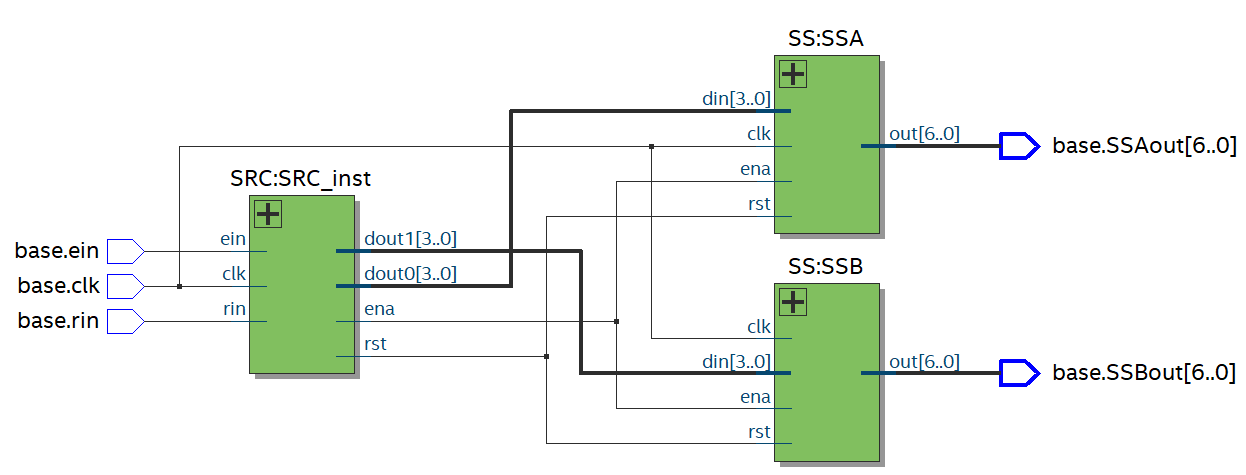


Рис. 6 - Синтезированная схема верхнеуровнего модуля.

Как видно из рисунка 6, я решил немного модифицировать исходное задание и не просто подавать на блоки SSA и SSB один и тот же двоичный код, а подавать две двоичные тетрады, которые формируются в блоке SRC. Таким образом у нас наш два семи сегментных разряда будут считать до 99.

## Тестирование ModelSim

Напишем тестовый модуль обертку, и проведем моделирование инструментом ModelSlim.

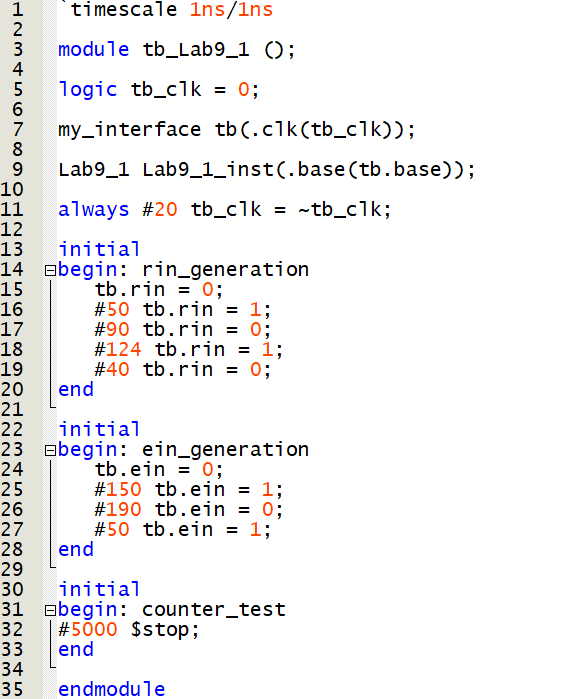


Рис. 7 - Модуль тестирования верхнеуровнего модуля.

В ModelSlim создадим библиотеку work и запустим тестовый стенд. Полученная диаграмма отражает корректную работу схемы.

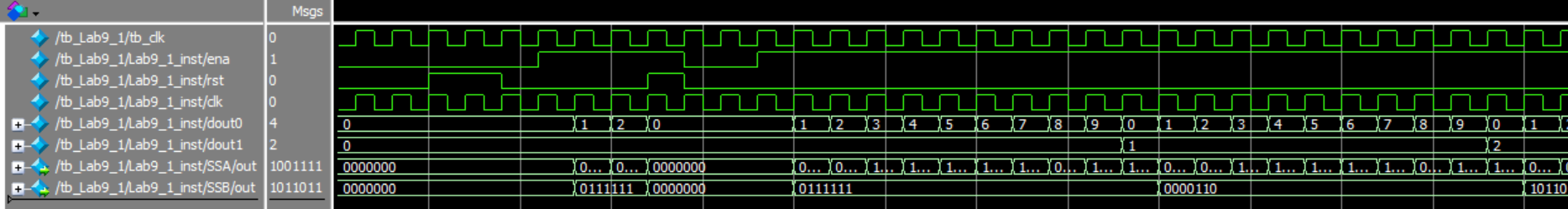


Рис. 8 - Диаграмма тестирования схемы.

На диаграмме протестированы все режимы АЛУ, а также вход разрешения синхронной работы и синхронного сброса.

## Тестирование SignalTap

Создадим стенд для тестирования схемы на плате с помощью инструмента SignalTap. Для этого стенда нам понадобится модуль делителя частоты и модуль декодер, который будет конвертировать наш семисегментный код в обычный двоичный.

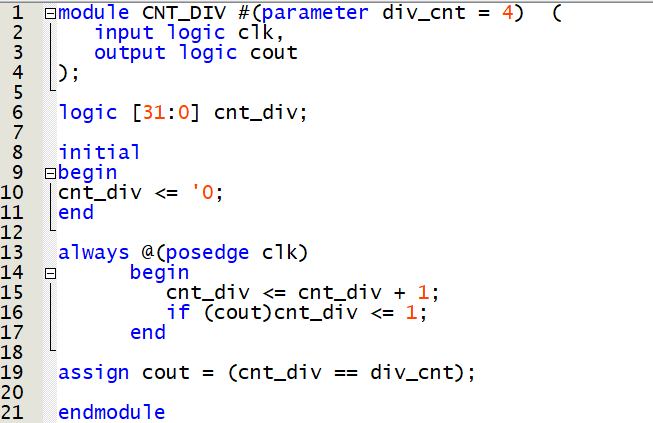


Рис. 9 - Модуль счетчика делителя частоты.

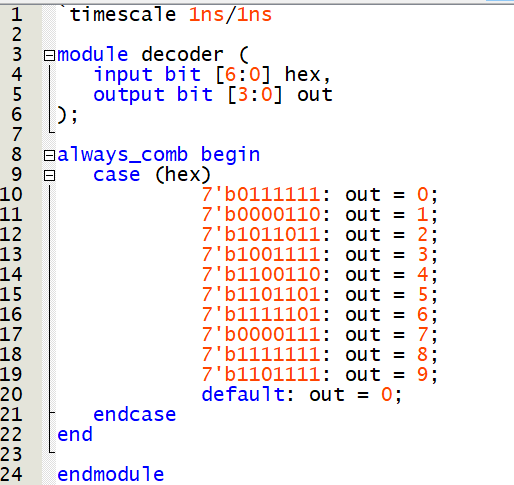


Рис. 10 - Модуль декодирования семи сегментного кода.

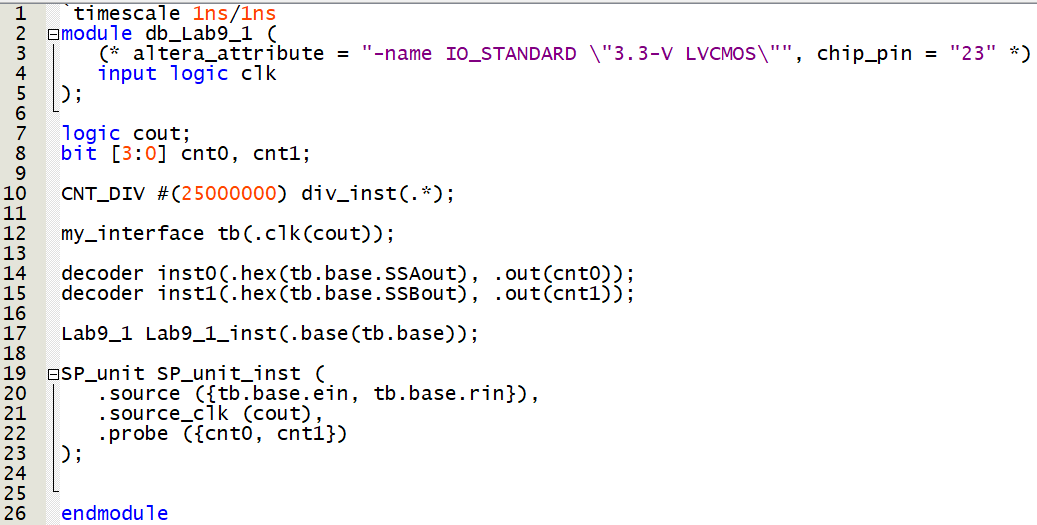


Рис. 11 - Стенд для тестирования на плате инструментом SignalTap.

Посмотрим результат синтеза.

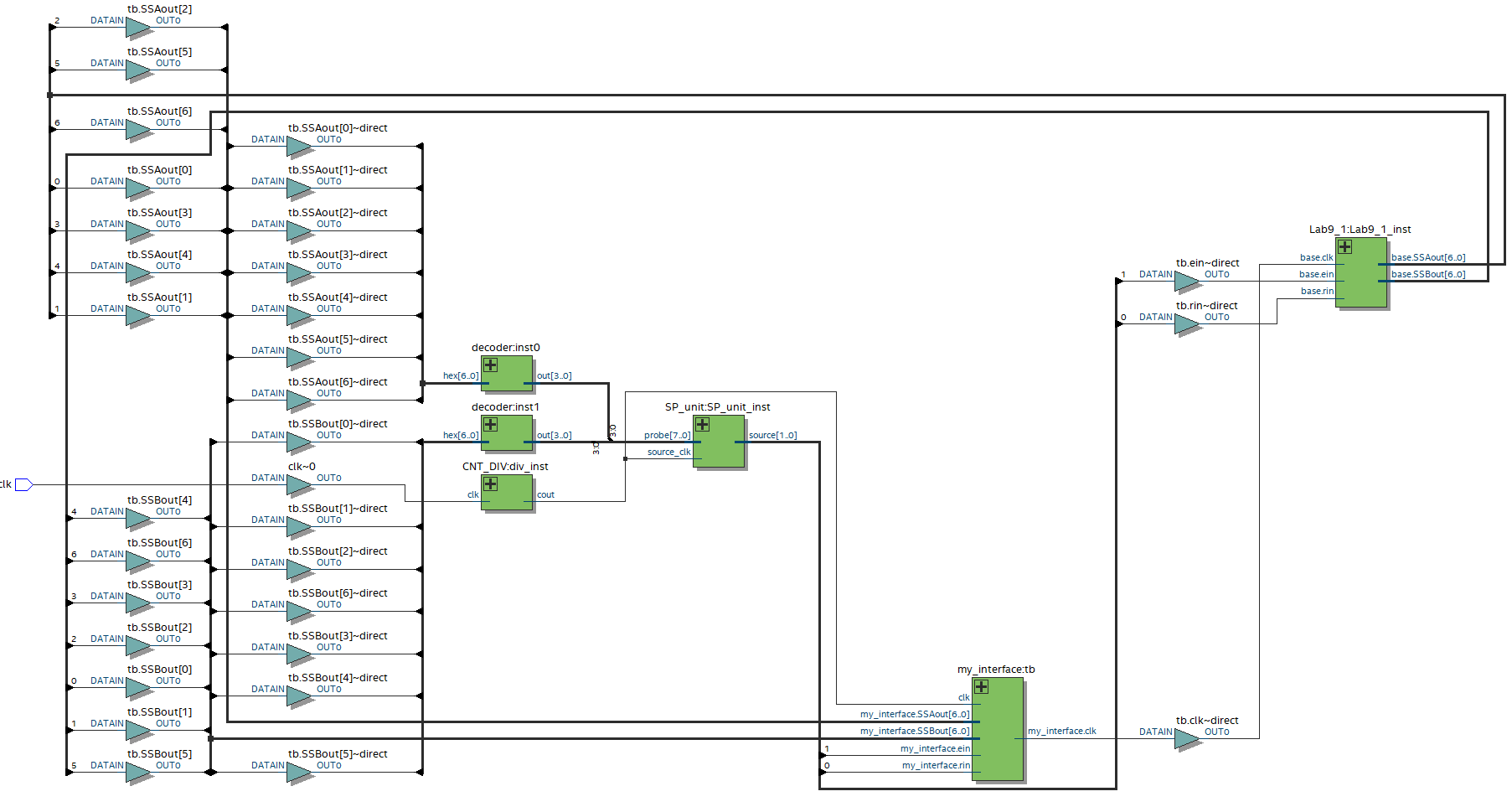


Рис. 12 - Синтезированный модуль отладки при помощи ISSP.

Создадим файл конфигурации тестирования в инструменте SignalTap и протестируем схему.

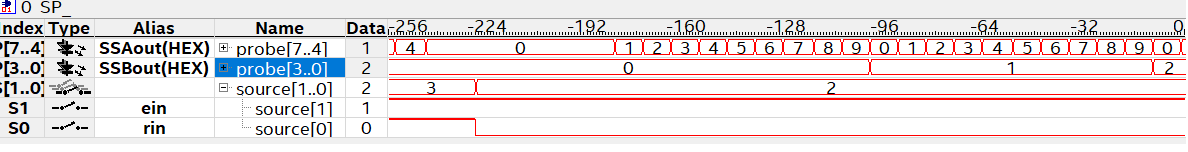


Рис. 13 – Смоделированная на плате диаграмма 1.

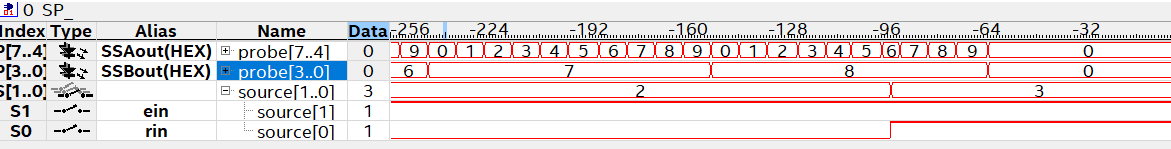


Рис. 14 - Смоделированная на плате диаграмма 2.

# **Вывод**